

DDS 的杂散分析及频率扩展研究^{*}

郭德淳 费元春

(北京理工大学 北京 100081)

【摘要】 介绍了在直接数字频率合成器(DDS)成功开发的基础上扩展其频率上限的一些方法,同时对其杂散进行了分析。DDS 芯片采用AD9852,控制电路采用TM S320C31,该数字频率合成器通过编程可方便地完成调幅、调频和调相功能,经过实际应用达到了比较满意的效果。

【关键词】 直接数字频率合成器,锁相环,混频

Spurious Analysis of Direct Digital Frequency Synthesizer and Frequency Expansion Study

GUO De-chun FEI Yuan-chun

(Beijing Institute of Technology Beijing 100081)

【Abstract】 Based on the successful development of DDS, some methods to expand its upper frequency limit are described and its spurious analysis is performed in this paper. The DDS chip adopts AD9852 and the control circuit applies TM S320C31. By programming, this DDS can easily achieve amplitude modulation, frequency modulation and phase modulation. The practical application achieves preferable effect.

【Key words】 DDS, phase-locked loop (PLL), mixing

1 引言

频率合成器是雷达、通信、电子对抗等电子系统实现高性能指标的关键,很多现代电子设备和系统的功能实现都直接依赖于所用的频率合成器的性能。随着数字集成电路和微电子技术的发展,直接数字频率合成(DDS)技术逐渐提高,充分体现出其相对带宽很宽、频率转换时间极短、频率分辨率很高、输出相位连续、可输出宽带正交信号、可编程及全数字化结构便于集成等优越性能。但DDS也存在不足之处,输出频率高端受限和频谱纯度不高是它的主要缺点。

目前,DDS时钟频率可达到1GHz以上,但由于受到高速D/A的非理想特性(尤其动态特性^[6])等的影响,其输出频谱纯度比较低,无法满足高性能频率合成器的需要。本文主要讲述在时钟频率30MHz的DDS基础上进行频率扩展的方法。

2 DDS的基本工作原理及其杂散分析

DDS的基本原理框图如图1所示。它主要由标准参考频率源、相位累加器、波形存储器、数模转换

器等组成。其中,参考频率源一般是一个高稳定的晶体振荡器,其输出信号用于DDS中各部件同步工作。当频率合成器正常工作时,在标准频率参考源的控制下(频率控制字 K 决定了相应的相位增量),相位累加器则不断地对该相位增量进行线性累加,当相位累加器积满量时就会产生一次溢出,从而完成一个周期性的动作,这个动作周期即是DDS合成信号的一个频率周期。于是,输出信号波形的频率及频率分辨率可以表示如下:

$$f_{\text{out}} = K f_c / 2^N \quad f_{\text{min}} = f_c / 2^N$$

式中: f_{out} 为输出信号频率; f_{min} 为输出信号分辨率; K 为频率控制字; N 为相位累加器字长; f_c 为标准参考频率源工作频率。

DDS的相位噪声主要由参考时钟信号的性质、参考时钟频率和输出频率之间的关系以及器件本身的噪声基底决定。从理论上,输出信号的相位噪声会对参考时钟信号的相位噪声有 $20 \lg \frac{f_c}{f_{\text{out}}}$ dB的改善。但在实际工程中,必须要考虑包括相位累加器、ROM、和DAC等在内的各部件噪声特性对DDS相位噪声性能的限制。

* 收稿日期: 2001—05—09

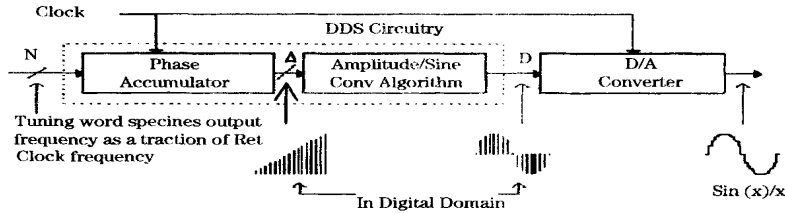


图1 DDS的基本原理框图

但是DDS的数字化处理也带来了不利因素,丰富的杂散随着主频率一起输出,使得降低杂散成为一个主要问题。DDS的杂散来源主要有相位截断误差、幅值量化误差和D/A非理想特性^[9]。下面给出相位截断误差和幅值量化误差产生的杂散分析结果:

(a) 由相位量化产生的杂散谱线的幅值可确定为

$$A_{\text{spur}} = \frac{2^{D-1}\pi}{T \cdot 2^A \sin\left(\frac{m\pi}{T}\right)}$$

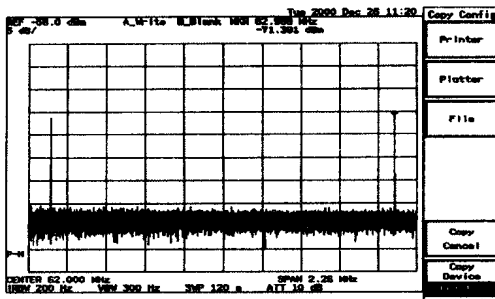


图2 DDS杂散测试图

(b) 幅度量化误差在最坏的情况下引入的杂散电平为: $P_{\text{spur}}(\text{MAX})/P_c = 1/2^{2(D-1)}3\pi^2$, 由此可见, 幅度量化误差引入的杂散分量的统计分布特性只与幅度量化的字长有关, 与相位累加器的字长以及相位截断位数没有关系^[4]。幅度量化误差的影响就是在DDS的输出信号中引入了频率间隔为 $f_c/2^N$ 的离散杂散分量。因此, 在选择DDS时, 要充分考虑DDS的幅度量化字长、时钟频率和相位累加器的字长。

DAC的非理想特性对DDS的杂散影响比较大, 但关于DAC的数学建模一直比较困难。实际的DAC器件都带有不同程度的非线性。假设我们将一个完美的数字化正弦波输入一个实际的DAC, 则由

$m=1$ 时, 有最大杂散

$$A_{\text{spur}} = \frac{2^{D-1}\pi}{T \cdot 2^A \sin\left(\frac{\pi}{T}\right)}$$

其中 D 为 D/A 的量化位数; $A = N - B$, B 为相位舍去位数; $T = \frac{2^B}{\text{GCD}(2^B, L)}$; GCD 表示最大公约数; L 为频率控制字 K 低 B 位所构成的字。所以, 当 $T = 2^B$ 时, 杂散可改善 $20\lg \frac{\pi}{2} - 4\text{dB}$ ^[3], 因此在设计时应使 T 尽量大。

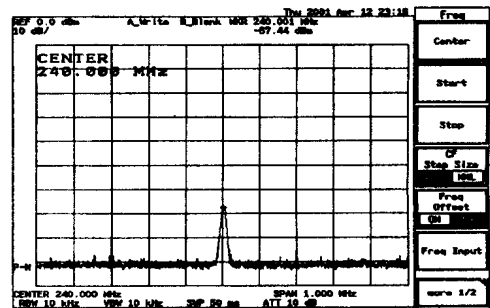


图3 DDS输出端时钟泄漏测试图

于这种非线性, 在DAC的输出端, 我们得到的将不仅仅是这个正弦波, 而且还有它的各次谐波。各次谐波的幅度是不能预知的, 因为它们取决于某一具体DAC器件的非线性特性。不过, 各次谐波的频率是完全可以预知的, 设基波的频率为 F_0 , 则第 n 次谐波的频率为 nF_0 。下面根据频率合成器对其实测进行一些杂散分析, 该频率合成器所选晶振为 60MHz , 经内部乘法器4倍频到 240MHz 。

图2是输出频率为 59MHz 时的窄带杂散测试图, 图3是DDS输出端时钟信号泄漏测试图。图2中 6MHz 的杂散是由 59MHz 信号与 60MHz 晶振的二倍频信号差拍引起的, 63MHz 杂散是由 59MHz 信号的三次谐波与 240MHz 时钟信号的差拍

M 为 VCO 的可编程分频比, K 为 DDS 的频率控制字。

采用 DDS 作为 PLL 的激励源, 参考频率可以做到以极小的步进改变, 适当地选择 DDS 的输出带宽, 可使合成器有连续的频率覆盖, 为了得到连续的覆盖, DDS 的工作带宽要满足:

$$BW_{\text{DDS}} \geq \frac{\text{(DDS 中心频率)}}{M_{\min}}$$

式中: BW_{DDS} 为 DDS 的输出频率带宽; M_{\min} 为 PLL 的最小分频比。

如果频率合成器对频率转换时间指标要求不高时, PLL 的环路带宽可以设计得窄些, 这样 DDS 的输出杂波可以得到较好的抑制, 输出信号的相位噪声和杂波的性能主要由 VCO 决定。如果频率转换时间是一个重要指标时, PLL 的环路带宽需要放宽, 这时 DDS 的性能对最终输出信号有严重的影响, 此时带通滤波器和硬限幅器的设计显得更重要。

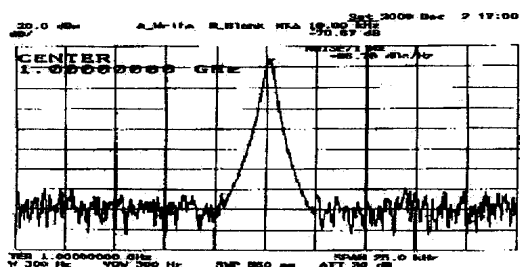


图 8 AD9852 激励 Q3236 频率合成器频谱测试图
输出频率: 1GHz, 相位噪声: -96 dBc/Hz/10kHz ,
杂散电平: $< -60 \text{ dB}$

图 8 为 DDS 与 PLL 组合而成的频率合成器输出的 $f = 1 \text{ GHz}$ 信号频谱测试图。其中 DDS 芯片选用 AD 公司的 AD9852, PLL 选用 Qualcomm 公司的 Q3236 芯片。

5.2 环外混频式频率合成器

该组合方案是将 DDS 输出与 PLL 输出相混频后再滤波输出, 原理框图见如图 9。频率合成器的最后输出信号频率为: $f_{\text{out}} = M \cdot f_r \pm f_{\text{dds}} = M \cdot f_r \pm K \cdot f_c / 2^N$ 。

该方案是利用 DDS 快速捷变频与频率分辨率高的优点, 并用 PLL 保证其工作频率和带宽。为了得到连续的频率覆盖, 要求 DDS 的输出带宽必须大于或等于参考频率, 即: $BW_{\text{DDS}} \geq f_r$ 。当频率合成器转换频率在同一个 BW_{DDS} 之内进行频率转换时, 频

率转换时间由 DDS 决定 (转换时间可达百纳秒级以下)。当频率合成器转换频率超出一个 BW_{DDS} 范围进行频率转换时, 频率转换时间由 PLL 决定, 由于在该组合方案中 PLL 的鉴相频率可以做得较高, 故此时的频率转换时间也可以做得较短。该组合方案的相位噪声可以做得较好, 原因是 PLL 的鉴相频率可以较高, 这样使得环内的分频次数大大降低, 故 PLL 输出信号的相位噪声比较好, 而 DDS 的相位噪声可以做得很好。

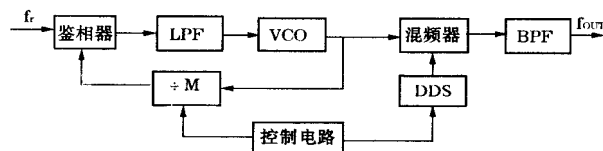


图 9 环外混频式 DDS/PLL 组合频率合成

5.3 混频分频式频率合成器

该组合方案也称为环内插入式频率合成器, 此方案与锁相式频率合成器中的多环方案相类似, 只是精确频率跳变的低位锁相环被 DDS 替代, 整个频率合成器的频率分辨率由 DDS 来保证, 这一点大大优于多环方案。同时, 整个频率合成器的频率转换时间也要快于多环方案。其原理框图如图 10 示。当锁相环路锁定时, 频率合成器的输出信号频率为:

$$f_{\text{out}} = M \cdot P \cdot f_r \pm P \cdot (f_{\text{LO}} \pm K \cdot f_c / 2^N)$$

频率合成器的频率分辨率为: $\Delta f = P \cdot f_c / 2^N$ 。其中环内固定分频器 ($\div P$ 分频器) 和本振 f_{LO} 都是可选的。对于连续频率覆盖而言, DDS 的输出带宽必须大于或等于参考频率。在该组合方案中, PLL 的鉴相频率允许做得较高, 这样可带来如下优点: 环路分频比 M 值可以设计得较低, PLL 的输出相位噪声得到降低; 鉴相频率高时允许锁相环的带宽可以做得较宽, 有利于缩短环路锁定时间, 使频率转换时间缩短。当采用固定 $\div P$ 分频器时, 在锁相环路带宽之内频率合成器会对 DDS 所产生的杂波中的调相杂波有 $20 \lg(P) \text{ dB}$ 的恶化。所以采用此方案时 PLL 参数的设计要与固定 $\div P$ 分频器、可选的混频器和 DDS 输出性能放在一起综合考虑。

6 总结

DDS 由于具有其它频率合成器无法比拟的优点, 近年来得到飞速的发展。但由于其上限频率达不到很高, 因此, 为了要利用 DDS 的优点并满足频率

(下转第 80 页)

States of America, 1981: 331

- 4 B D 波波维奇等编著, 杨渊译 导线天线的分析与综合(第一版). 人民邮电出版社, 1987
- 5 杨恩耀, 杜加聪 天线 电子工业出版社(第一版), 1984
- 6 谢处方, 邱文杰 天线原理与设计(第一版). 西北电讯工程学院出版社, 1985
- 7 王元坤, 李玉权 线天线的宽带技术(第一版). 西安电子科技大学出版社, 1995
- 8 [苏] . 阿斯塔宁, 考斯泰列夫著, 杨逢春, 王积勤译 超宽带天线测量基础(第一版). 国防科技大

学出版社, 2000

刘 刚 毕业于西安电子科技大学, 获西北工业大学硕士学位, 主要研究方向为天线与电磁兼容, 发表论文十余篇。感兴趣的领域是超宽带雷达天线及雷达成像。

王春阳 毕业于空军导弹学院, 获硕士学位, 主要研究方向为微波电路与系统, 获军队科技进步二等奖一项, 发表论文十余篇。感兴趣的领域是微波集成电路和超宽带雷达。

秦建军 空军工程大学导弹学院硕士研究生, 主要从事电磁场数值计算研究, 发表论文数篇。

(上接第 66 页)

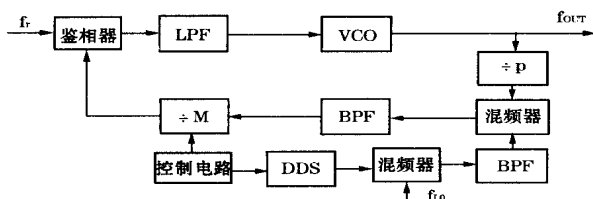


图 10 混频分频式 DDS/PLL 组合频率合成器

合成器对频率上限的要求, 本文在分析 DDS 杂散特性的基础上介绍了几种扩展频率的方法。通过一些实验分析和工程上的应用, 这些方案都达到了比较满意的效果。

参 考 文 献

- 1 陈世伟 锁相环路原理及应用 兵器工业出版社, 1990
- 2 费元春 固态倍频 高等教育出版社, 1985
- 3 费元春 微波固态频率源 国防工业出版社, 1994
- 4 Henry p NiCholas and Henry Samuel An analysis of the output spectrum of direct digital frequency synthesizers in the presence of phase accumulator truncation in Proc 41st Annu Frequency Control Symp., 1987. 5: 495~ 502
- 5 Henry p NiCholas and Henry Samuel Noise spectra of digital sine-generators using the table look up method IEEE Trans Acoust., Speech, Signal Processing, 1983
- 6 Analog Devices AD9852 Rev. E datasheet, 2000
- 7 白居易 低噪声频率合成 国防工业出版社, 1988
- 8 James A Crawford Frequency Synthesizer Design Handbook 1994
- 9 Bar-Glora Goldberg, Digital Techniques in Frequency Synthesis, Sciteq Electronics San Diego, California, 1996
- 10 William F. Egan Ph. D., Frequency Synthesis by

Phase Lock, 1999

- 11 Kenneth A. Essenwanger Slewer Fractional-order-hold: The Ideal DAC Response for Direct Digital Synthesizes IEEE International Frequency Control Symposium, 1998: 379~ 389

郭德淳 1998 年在北京理工大学电子工程系电磁场与微波技术专业攻读博士学位, 主要研究方向是微波频率合成、数字射频存储和宽带匹配等的研究。

费元春 1960 年 7 月毕业于北京工业学院雷达专业。现任北京理工大学电子工程系电磁场与微波技术专业首席教授、博士生导师、兵工学报常务编委、中国电子学会会士。曾获得国家有突出贡献的专家及全国教育系统巾帼建功标兵等称号。长期从事微波技术与雷达工程的科研与教学工作, 主要研究方向为微波频率合成、雷达天线与接收技术、微波通信技术等。先后主持完成 30 余项研究课题, 曾获国家发明奖三项、国家科技进步奖一项、部级科技进步奖十项。主要学术专著有“微波固态频率原理 设计 应用”及“固态倍频”。

美国向爱沙尼亚出售 AN/TPS—117 雷达

据 2001 年 5 月《简氏国际防御评论》报道: 爱沙尼亚国防部已选用由洛克希德·马丁公司海用电子 & 监视系统公司雷达系统分部制造的移动式远程监视雷达 AN/TPS—117。首部雷达将于 2003 年初提供服役。AN/TPS—117 是一部 D 波段、全固态三坐标雷达系统, 它能向己方的防空系统、导航系统以及战术控制系统提供来袭飞机精确的识别及位置数据。通过使用动目标显示与脉冲压缩技术, 该系统具有自适应抑制地、海及其天气杂波的能力。这部雷达的引进将有助于爱沙尼亚扩大其 BAL TNET 防空监视网的覆盖范围。该防空监视网覆盖的范围可涵盖爱沙尼亚、立陶宛以及拉脱维亚三国的领空。这项合同还包含向拉脱维亚提供一套 AN/TPS—117 雷达的意向, 估计合同价值将高达 3000 万美元。

(徐益平编译 王秀春审)