

文章编号: 1671-8836(2003)03-0401-04

DDS 芯片 AD9854 的噪声分析与应用

包迪强, 石振华[†], 严颂华

(武汉大学电子信息学院, 湖北 武汉 430072)

摘 要: 通过离散傅立叶变换和傅立叶变换得到了直接数字合成(DDS)的相位截断杂散、背景噪声和非线性杂散分布规律, 并且用 AD9854 设计了高频地波雷达频率综合器. 设计中根据 DDS 噪声分布特点从电路布局和控制字设定两个方面进行了改进, 减小了 DDS 的主要杂散. 实验证明, 该方法提高了高频地波雷达发射信号的无杂散动态范围(SFDR)约 10 dB, 增大了高频地波雷达的探测距离.

关键词: 直接数字合成; 杂散; 相位截断; 背景噪声

中图分类号: TN 742.1

文献标识码: A

直接数字合成 DDS(direct digital synthesis)技术是一种在固定频率的时钟驱动下, 用数字方式来产生频率和相位可变的输出信号的技术.

但是 DDS 作为一种全数字器件, 由于结构限制, 会产生固有杂散, 要得到高性能的信号, 必须采用杂散抑制技术. 常用的一些抑制技术大多集中在对 DDS 内部结构改进方面, 如相位累加器的改进、ROM 的压缩技术、抖动注入技术等^[1], 但是如何在系统设计中减小 DDS 杂散的文献迄今未见报道. 本文首先推导了 DDS 杂散的构成, 然后从电路设计和控制字设定两个方面来减小 DDS 杂散, 实践证明, 通过该方法, 本实验可提高输出信号的无杂散动态范围约 10 dB.

在高频地波雷达中, 由于发射信号是具有高功率和方向性的线性调频波^[2,3], 不但要求发射信号精度高, 稳定性好, 频谱杂散 < -70 dB, 而且信号幅度、相位均可调整, 以满足发射相控阵要求. 本文针对高频地波雷达的上述要求, 在分析 DDS 杂散产生原因的基础上, 设计了频率综合电路和频率控制字, 使输出信号的无杂散动态范围(SFDR)达到 80 dB.

1 减小 DDS 杂散的方法

1.1 DDS 的工作原理和理想 DDS 的输出频谱

从本质上来看, 参考时钟被 DDS 用设定好的一

种尺度“划分”为输出信号, 而这种尺度是二进制可编程控制字, 一般有 24~48 位, 这样在 DDS 应用中可以提供频率分辨率非常高的输出信号.

DDS 工作原理如图 1 所示, 用满足 Nyquist 准则的一定频率对一个正弦信号(也可以是任意周期信号)进行采样, 控制采样周期 Δt 之间的相位增量 $\Delta\varphi$, 每次累加到相位寄存器中, 用得到的相位值来寻址 ROM 查找表, 实现相码和幅码的转换, 得到输出波形的幅度值, 经过 D/A 转换为模拟信号, 就得到了输出频率信号 $\omega = \Delta\varphi / \Delta t$.

假设在图 1 中, 相位累加器位数为 N , 频率控制字为 K , 那么得到的输出阶梯波函数可以表示为采样序列和矩形函数的卷积(\otimes):

$$S(t) = \sum_{n=-\infty}^{\infty} \cos(\omega_0 t) \delta(t - nT_c) \otimes q(t) \quad (1)$$

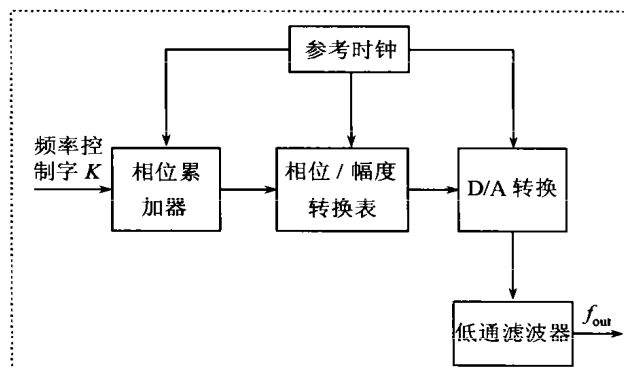


图 1 DDS 工作原理

收稿日期: 2002-10-15

[†] 通讯联系人

基金项目: 国家 863 计划资助项目(863-818-01-02)

作者简介: 包迪强(1977-), 男, 硕士生, 现从事现代频率合成技术研究.

其中 $\omega_0 = \frac{K}{2^N} \omega_c$, ω_c 是系统时钟的频率, ω_0 为输出波形的频率, T_c 为采样序列周期. 矩形函数表示为: $q(t) = U(t) - U(t - T_c)$, $U(t)$ 是阶跃函数.

对 $S(t)$ 进行傅立叶变换, 得到波形的频谱:

$$S(\omega) = \pi \sum_{n=-\infty}^{\infty} \text{Sa}\left(\frac{n\omega_c - \omega_0}{\omega_c}\right) \cdot \exp\left(\frac{j(n\omega_c - \omega_0)}{\omega_c}\right) \delta(\omega - n\omega_c + \omega_0) + \pi \sum_{n=-\infty}^{\infty} \text{Sa}\left(\frac{n\omega_c + \omega_0}{\omega_c}\right) \exp\left(\frac{j(n\omega_c + \omega_0)}{\omega_c}\right) \cdot \delta(\omega - n\omega_c - \omega_0) \quad (2)$$

式中 $\text{Sa}(x) = \frac{\sin x}{x}$. 从(2)式可以看出, 理想 DDS 输出信号的谱线是以 $\text{Sa}()$ 函数为包络的离散谱线, 谱线位于 $n\omega_c \pm \omega_0$ 处, 用截止频率位于 $\omega_c/2$ 的低通滤波器滤除高阶谱部分, 得到 ω_0 的输出波形. 考虑到滤波器设计难度, 一般选择输出波形的频率 $\omega_0 < 40\% \omega_c$.

1.2 DDS 产生的杂散

对于理想 DDS, 产生的输出波形是无杂散的, 理想 DDS 应满足以下 3 个条件^[4]:

- 1) 没有相位截断, 即相位—幅度查询表的输入位数和相位累加器位数相等;
- 2) ROM 用无限长的字码存储正弦波样点值;
- 3) DAC 具有无限宽的数据总线, 并具有理想的转换特性.

1.2.1 相位截断杂散

如果取消理想 DDS 的第一个假设, 对 N 位累加器进行相位截断, 假设得到 B 位后送到 ROM 查询表, 输出波形相应的修改如下:

设 $J(n) = (nK) \bmod(2^B)$, \bmod 是模余运算, 得到 nk 除以 2^B 的余数, 对输出函数进行修正^[5]:

$$S(t) = \sum_{n=-\infty}^{+\infty} \cos\left(2\pi \frac{nK - J(n)}{2^N}\right) \otimes q(t) = \sum_{n=-\infty}^{+\infty} \left[\cos\left(2\pi \frac{nK}{2^N}\right) + \frac{J(n)}{2^N} \sin\left(2\pi \frac{nK}{2^N}\right) \right] \otimes q(t) \quad (3)$$

这里有两个部分: 前半部分就是理想 DDS 产生的信号, 后半部分是产生相位截断杂散的部分. 把后半部分记做:

$$f(t) = \sum_{n=-\infty}^{+\infty} e(t) \sin(\omega_0 t) \delta(t - nT_c) \otimes q(t) \quad (4)$$

其中 $e(t)$ 是斜率为 J_1/T_c , 高度为 2^{B-N} 的三角波^[6], 如图 2 中虚线所示. $f(t)$ 可以看成对 $e(t)$ 采样后再与 $q(t)$ 卷积. 将 $f(t)$ 做傅立叶变化, 可求得相位截断杂散的频谱:

$$F(\omega) = \frac{2^{B-N}}{2\pi} \sum_{n=-\infty}^{\infty} \sum_{m=1}^{\infty} \left[\text{Sa}\left(\frac{m\omega_x + n\omega_c - \omega_0}{\omega_c}\right) \pi \cdot \delta(\omega - m\omega_x + \omega_0 - n\omega_c) e^{j2\pi(m\omega_x + n\omega_c - \omega_0)} + \text{Sa}\left(\frac{-m\omega_x + n\omega_c - \omega_0}{\omega_c}\right) \pi \delta(\omega + m\omega_x + \omega_0 - n\omega_c) \cdot e^{j2\pi(-m\omega_x + n\omega_c - \omega_0)} + \text{Sa}\left(\frac{m\omega_x + n\omega_c + \omega_0}{\omega_c}\right) \pi \cdot \delta(\omega - m\omega_x - \omega_0 - n\omega_c) e^{j2\pi(m\omega_x + n\omega_c + \omega_0)} + \text{Sa}\left(\frac{-m\omega_x + n\omega_c + \omega_0}{\omega_c}\right) \pi \delta(\omega + m\omega_x - \omega_0 - n\omega_c) \cdot e^{j2\pi(-m\omega_x + n\omega_c + \omega_0)} \right] \quad (5)$$

其中 $\omega_x = \frac{J_1}{2^{B-N}} \omega_c$, 可以得出, 杂散位于 $\pm m\omega_x \pm \omega_0 - n\omega_c$ 处, 幅度最大为 $-6.02(N-B)$ dB.

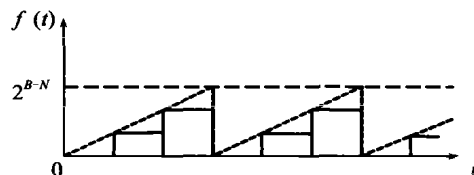


图 2 相位截断导致的杂散

1.2.2 背景杂散

因为查找表存储区的大小限制, 对幅度值作了近似存储, 被略去的部分就会产生背景噪声. 假设在 DDS 中, 存储位数为 D 位, 存储表中舍去的部分是在 $[-2^{-D}, +2^{-D}]$ 中均匀分布的^[7], 把均匀分布的幅度值看成线性分布的函数, 就可以求出在 $[0, 2\pi]$ 上噪声能量 E_N 和信号能量 E_S :

$$E_N = \int_0^{2\pi} \left(\frac{2^{-D}}{2\pi} x\right)^2 dx = \frac{2\pi}{3} 2^{-2D} \quad (6)$$

$$E_S = \int_0^{2\pi} (\sin(x))^2 dx = \pi \quad (7)$$

$$\text{信噪比: } \frac{E_S}{E_N} = 10 \lg \frac{\pi}{\frac{2\pi}{3} 2^{-2D}} = 1.7 + 6.02D \quad (8)$$

1.2.3 非线性效应产生的杂散和其他噪声

对幅度值进行的 DAC 是非线性变换, 在输入幅度编码一定的情况下, 实际的 D/A 变换输出值与期望值有一定偏差, 而这种偏差不是线性关系, 而是存在积分和差分的非线性. D/A 变换非线性还包括转换过程的尖峰电流、上升和下降时间等. 在高速 DDS 中, 非线性成为输出杂散的主要来源之一. 非线性的影响主要是产生输出频率 f_{out} 的谐波分量和这些谐波分量的镜像分量, 即在频率在 f_i 处的杂散分量^[8]. 在高速 DDS 中, 这种情况就会越来越严重.

$$f_i = j\omega_c \pm l\omega_0$$

$$j = 0, 1, 2, \dots; l = 1, 2, \dots \quad (9)$$

除了上面3种 DDS 内部结构造成的噪声外,实际应用过程中,外部产生噪声影响也不可忽略,如热噪声、时钟抖动、电源噪声等。通常情况下,起主要作用的时钟抖动产生的输出信号和杂散的频带展宽,宽度过大后就会形成基底噪声。

1.3 减小杂散的方法

减小杂散主要从以下3方面进行改进:

1) 对于截断相位杂散可以提高相位截断位数来增加它的 SFDR。每增加一位大约可以使 SFDR 增加约 6 dB,现在大多数的高性能 DDS 的相位截断位数都很高了,例如 AD 公司的 AD9854,截断位数达到 17 位, SFDR 可以达到 102 dB。

2) 对于背景噪声,由(6)式得到的是背景噪声总的能量。背景噪声是周期函数,其周期为 $T_x = \text{gcd}(K, 2^N) \cdot T_c$, 其中 T_c 是时钟周期, gcd 为最小公倍数。如果增大周期,表明在通带内的谐波数增加,降低了每个杂散的能量,这样就可以提高输出信号的 SFDR。如果 K 为奇数(即最后一位是 1), $\text{gcd}(K, 2^N) = K \times 2^N$, 是一个很大数,表明在 0 到 f_c 的谐波个数为 $K \times 2^N$, 每个杂散能量很小,输出信号的 SFDR 就会得到较大改善。另外,从(6)式看出,背景噪声功率只是与量化位数 D 有关,分布在 $0 \sim f_c$ 内,当提高时钟频率 f_c , 相当于增大了噪声带宽,减小了通带噪声功率,提高了信噪比。

3) 对于 D/A 转换杂散,可以采用设定低通滤波器来滤除杂散,也可以提高系统时钟使杂散远离信号频率,以减小杂散对输出信号的影响。

2 频率合成器的结果与分析

频率综合器电路框图如图 3 所示, PC 机通过 RS-232 标准的 COM 口与试验电路板连接,单片机 89C51 与 PC 机之间电平转换收发器采用 MAX232,通过单片机并行口 P0 将控制字写入 AD9854 中,输出负载是 50Ω ,滤波器选择的是 4~6 MHz 的带通滤波器,带外衰减 60 dB。

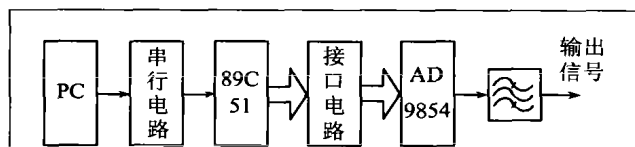


图3 试验电路框图

试验结果用惠普公司 ESA-L1500 频谱分析仪对能量谱 P 进行测量,如图 4(a)所示,当分析带宽为 1 kHz 时,输出信号 SFDR 大于 -75 dB,可以看出在输出信号附近的噪声基底是平坦的,无明显毛刺。

噪声基底主要是由背景噪声产生的,在 AD9854 中, $D=12$, 由(8)式得背景杂散产生的信噪比为 73.7 dB。图 4(a)所示的是电路直接输出的结果,图 4(b)所示的是通过调整频率控制字和提高时钟频率等方法抑制背景噪声后的输出信号频谱,从结果看出对背景噪声的抑制时信号的 SFDR 提高了大约 5 dB。在输出信号旁边有较高基底,是由于时钟的稳定度低引起的相位抖动导致的。

由观察输出波形的全频带谱图(图5),可以看出

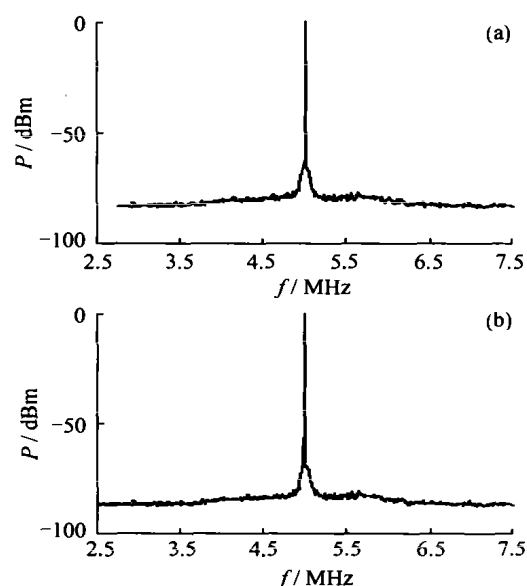


图4 AD9854 输出频谱图

(a) 抑制背景噪声前的输出信号频谱

(b) 抑制背景噪声后的输出信号频谱

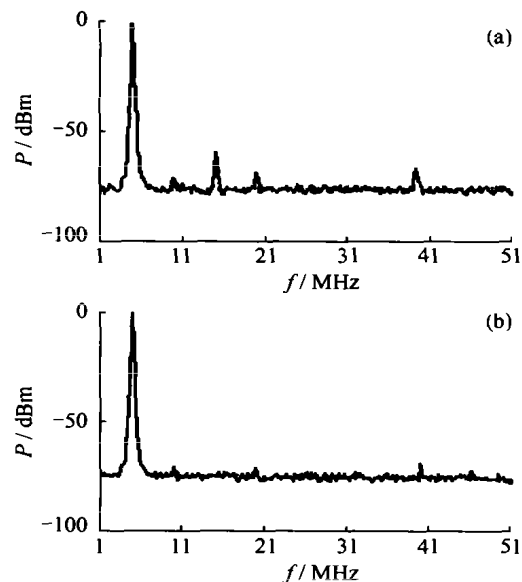


图5 过采样对输出频谱的影响

(a) 系统时钟为 20 MHz 的输出谱图

(b) 系统时钟为 80 MHz 的输出谱图

出主要的杂散是 DAC 非线性,在图 5(a)中时钟频率为 20 MHz,主要杂散位于 10, 15, 20, 40 MHz 处,符合非线性杂散公式(9). 最大的杂散位于 15 MHz 处,幅度为 -60 dB. 当用 AD9854 倍频功能对外部时钟倍频($f_c = 4 \times 20$ MHz)时(如图 5(b)), D/A 转换最大杂散幅度只有一 70 dB,非线性杂散出现在更高的频段. 但是,如果使用 AD9854 内部 PLL 倍频会增加时钟的相位抖动噪声,最好使用外部高精度的时钟倍频使用.

此外,在设计电路中,对电源和数字电路进行有效的去耦滤波,使用大面积接地,分开数字地和模拟地,这些方法都可以减小杂散. 使用高精度晶振和高稳定度地电源可以减小信号基底噪声. 这些都是设计电路板时要考虑的问题.

综上所述,本文从 DDS 结构入手,推导了 DDS 的杂散分布. 最后用 AD9854 设计了高频地波雷达的频率合成单元电路,通过设计电路和频率控制字减小 DDS 杂散,提高信号信噪比. 整套系统经过测试,输出信号精度高,工作稳定,通过计算机实时控制,频率、相位、幅度、倍频次数可调,满足高频地波雷达发射信号要求.

参考文献:

- [1] Nicholas H T, Samuela H. A 150 MHz Direct Digital Frequency Synthesizer in 1.25 μ m CMOS with -90 dB SFDR[J]. *IEEE Journal of Solid & Circuit*, 1991, **132**(12):152-157.
- [2] Wu Shi-cai, Yang Zi-jie, Wen Bi-yang, et al. Waveform Analysis for HF Grand Wave Radar [J]. *J Wuhan Univ(Nat Sci Ed)*, 2001, **47**(5):519-527(Ch).
- [3] Yang Zi-jie, Ke Heng-yu, Wen Bi-yang, et al. Waveform Parameters Design for Sea State Detecting HF Grand-Wave Radar [J]. *J Wuhan Univ(Nat Sci Ed)*, 2001, **47**(5):528-531(Ch).
- [4] Fei Yuan-chun, Shu Guan-li. *The Generating Technology of Wdeband Radar Signals*[M]. Beijing: National Defence Industrial Press, 2002(Ch).
- [5] Zhang Yu-xin, Peng Qing-quan. Effect on Output Spectrum of DDS in Present of Phase Truncation [J]. *Journal of UEST of China*, 1997, **26**(4):137-142(Ch).
- [6] Kroupa V F, Cizek V, Svandova H. Spurious Signals in Direct Digital Frequency Synthesis Due to Phase Truncation [J]. *IEEE Transation on Ultrasonic, Ferroelectrics and Frequency Control*, 2000, **47**(5):115-119.
- [7] Yang Geng-yun, Tian Xin-guang. Analysis of the Backgrang Noise of Direct Digital Synthesis [J]. *Telecommunication and Technology*, 2000, **47**(7):69-74(Ch).
- [8] Kroupa V F. Jitter and Phase Noise in Frequency Dividers [J]. *IEEE Transacation on Instrumentation and Measurement*, 2001, **53**(5):163-167.

A Noise Analyse and Application of Direct Digital Synthesis Chip AD9854

BAO Di-qiang, SHI Zheng-hua, YAN Shong-hua

(School of Electronic Information, Wuhan University Wuhan, 430072, Hubei, China)

Abstract: DDS(direct digital synthesis) structure and working theory is introduced. The analysis of DDS chip output spectrum shaws the distvibuting rules of spurs which are caused of phase-truncation, backgtand-noise and amplitude-truncation. DDS chip, AD9854, is used in desigring the HF grand wave radar transmitter. The result of the circuit shows this method can increase the SFDR(Spur Free Dynamic Range) of output signal about 10 dB.

Key words: DDS(direct digital synthesis); spurs signal; phase-truncation; backgrand noise